

Jenkins & Gilchrist
A PROFESSIONAL CORPORATION

1445 ROSS AVENUE
SUITE 3200
DALLAS, TEXAS 75202

(214) 855-4500
FACSIMILE (214) 855-4300

www.jenkins.com

COPY OF PAPERS
ORIGINALLY FILED

Andre M. Szuwalski
(214) 855-4795
aszuwalski@jenkins.com

AUSTIN, TEXAS
(512) 399-3800
CHICAGO, ILLINOIS
(312) 425-3900
HOUSTON, TEXAS
(713) 951-3300
LOS ANGELES, CALIFORNIA
(310) 820-8800
NEW YORK, NEW YORK
(212) 704-6000
PASADENA, CALIFORNIA
(626) 578-7400
SAN ANTONIO, TEXAS
(210) 246-5000
WASHINGTON, D.C.
(202) 326-1500

RECEIVED
MAY 13 2002
Technology Center 2600

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Commissioner for Patents, Washington, D.C. 20231

on April 24, 2002

Signature

Carolyn Bova

Commissioner for Patents
Washington, D.C. 20231

Re: Applicant(s): Lijun Tian
Serial No. 10/033,204
Filing Date: December 26, 2001
For: ROM ADDRESSING METHOD FOR AN ADPCM DECODER IMPLEMENTATION
Docket No.: 00-SZ-034

Dear Sir:

Transmitted for filing with the Patent and Trademark Office are the following documents for the above-referenced patent application:

1. Claim of Priority Under 35 U.S.C. § 119
2. Certified Copy of the Priority Document
3. Postcard acknowledgment

Please address all communications related to this to:

Lisa K. Jorgenson, Esq.
STMicroelectronics, Inc.
1310 Electronics Drive
Carrollton, Texas 75006-6000

In the event there is an under or over payment, please debit or credit our Deposit Account #10-0447.
This letter is being filed in duplicate to facilitate processing.

Respectfully submitted,

Andre M. Szuwalski
Registration No. 35,701



COPY OF PAPERS
ORIGINALLY FILED

Docket No. 00-SZ-034

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:
Lijun Tian

Serial No.: 10/033,204

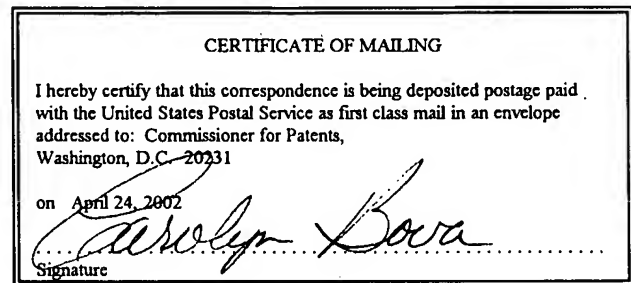
Filed: December 26, 2001

)
)
)
) Examiner: Unknown
)
) Group Art Unit: Unknown

RECEIVED
MAY 13 2002
Technology Center 2600

For: ROM ADDRESSING METHOD FOR AN ADPCM DECODER IMPLEMENTATION

Commissioner for Patents
Washington, D.C. 20231



Dear Sir:

CLAIM OF PRIORITY UNDER 35 U.S.C. § 119

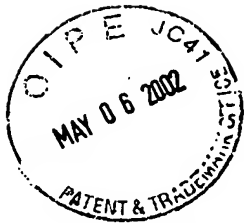
Under the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of P.R. of China Application No. 00 1 37177.0 filed December 29, 2000, which is identified in the declaration of the above-identified application. A certified copy of the priority document is filed herewith.

Respectfully submitted,

JENKENS & GILCHRIST,
A Professional Corporation

Andre M. Szuwalski
Reg. No. 35,701

1445 Ross Avenue, Suite 3200
Dallas, Texas 75202-2799
(214) 855-4795
(214) 855-4300 (fax)



CERTIFICATE

RECEIVED
MAY 16 2002
Technology Center 2600

The appendix to the present certificate is the following copy of the patent application submitted to the State Intellectual Property Office of the P.R. of China.

Filing Date:	December 29, 2000	COPY OF PAPERS ORIGINALLY FILED
Application No.:	00 1 37177.0	
Type of Application:	Patent for Invention	
Title of Invention:	Rom addressing method for an adpcm decoder implementation	
Applicant(s):	Shenzhen STS Microelectronics Co., Ltd.	
Inventor(s):	TIAN Lijun	

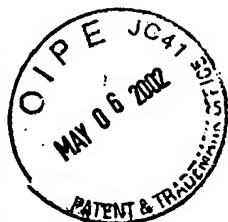
WANG Jingchuan

Commissioner of

the State Intellectual Property Office of the P.R. of China

April 4, 2002

证 明



本证明之附件是向本局提交的下列专利申请副本

申 请 日: 2000 12 29

申 请 号: 00 1 37177.0

申 请 类 别: 发明

发明创造名称: 自适应差分脉码调制解码器装置的只读存储器寻址方法

申 请 人: 深圳赛意法微电子有限公司

发明人或设计人: 田立军

CERTIFIED COPY OF
PRIORITY DOCUMENT



中华人民共和国
国家知识产权局局长

王景川

2002 年 4 月 4 日

1. 一种电路, 它包括:
基于硬件的自适应差分脉码调制 (ADPCM) 解码器;
5 存储器, 用于存储程序指令和 ADPCM 编码的源文件数据; 和
微控制器, 它具有执行时分复用存储器寻址的结构, 其中在第一
周期中, 从所述存储器中读取 ADPCM 编码的源文件数据并将其提供
给所述 ADPCM 解码器用于处理, 在第二周期中, 从所述存储器中读
取程序指令并由所述微控制器来执行, 同时所述基于硬件的 ADPCM
10 解码器继续对所述以前读取的 ADPCM 编码的源文件数据进行处理。
2. 权利要求 1 的电路, 其特征在于: 所述基于硬件的 ADPCM 解
码器由所述读取的 ADPCM 编码的源文件数据来合成解码的输出数
据, 而不要所述微控制器的任何处理帮助。
3. 权利要求 2 的电路, 其特征在于: 所述解码的输出数据包括线
15 性脉码调制 (PCM) 格式数据。
4. 权利要求 1 的电路, 其特征在于所述微控制器的结构包括:
程序计数器, 它提供检索微控制器程序指令的存储器地址;
地址计数器, 它提供检索所述 ADPCM 编码的源文件数据的一部
分的存储器地址; 和
20 复用器, 它连接到所述程序计数器和所述地址计数器并在所述程
序计数器和所述地址计数器所提供的存储器地址之间进行选择。
5. 权利要求 4 的电路, 其特征在于: 所述复用器的所述选择操作
是由两段时钟信号驱动的, 后者具有用来选择所述地址计数器的第一
段和用来选择所述程序计数器的第二段。
25 6. 权利要求 4 的电路, 其特征在于所述微控制器的结构还包括:
寄存器, 用于存储所述 ADPCM 编码的源文件数据用的结束存储
器地址; 和
比较器, 用于将所述地址计数器提供的存储器地址与所述寄存器

的结束存储器地址进行比较并在所比较的地址吻合时输出结束信号。

7. 权利要求 6 的电路, 其特征在于所述微控制器的结构还包括:

用于递增所述地址计数器计数值的装置, 以便在多个第一周期中对检索用于解码的所述 ADPCM 编码的源文件数据的所有部分所需的

5 存储器地址进行选择。

8. 权利要求 1 的电路, 其特征在于: 所述第一和第二周期被连续地重复, 直到读取所有用于解码器处理的 ADPCM 编码的源文件数据。

9. 权利要求 1 的电路, 其特征在于: 所述存储器包括只读存储器
10 (ROM)。

10. 权利要求 1 的电路, 其特征在于: 完全用集成电路块来实现所述电路。

11. 用于对存储程序指令和自适应差分脉码调制 (ADPCM) 编码的源文件数据这两者的存储器进行时分复用寻址的方法, 所述方法包括如下步骤:
15

在第一时间周期, 从所述存储器读取 ADPCM 编码的源文件数据, 用来提供给 ADPCM 解码器并由 ADPCM 解码器处理; 和

在第二时间周期, 在所述 ADPCM 解码器继续处理所述第一时间周期读取的 ADPCM 编码的源文件数据的同时, 从所述存储器读取供
20 处理器执行的程序指令。

12. 权利要求 11 的方法, 其特征在于所述读取 ADPCM 编码的源文件数据的步骤包括如下步骤: 选择所述存储器中存储所述 ADPCM 编码的源文件数据的一部分的地址。

13. 权利要求 12 的方法, 其特征在于所述读取程序指令的步骤包括如下步骤: 选择所述存储器中存储各个程序指令的地址。
25

14. 权利要求 13 的方法, 其特征在于还包括如下步骤: 交替地在所述选择的 ADPCM 编码的源文件数据地址和所述选择的程序指令地址之间进行选择。

5 地址: 程序计数器, 用于存储与微控制器程序指令有关的第一存储器地址;

复用器，用于接收所述第一和第二存储器地址，并在第一周期期间选择所述第一存储器地址用于所述存储器读取，而在第二周期期间选择所述第二存储器地址用于所述存储器读取。

17. 权利要求 15 的程序结构, 其特征在于还包括:

15 寄存器, 用于存储与所述 ADPCM 编码的源文件数据的最后一部分有关的第三存储器地址; 和

18. 权利要求 15 的程序结构, 其特征在于还包括指令寄存器, 用于将与微控制器程序指令有关的所述第一存储器地址提供给所述程序计数器, 并且将与所述 ADPCM 编码的源文件数据的一部分有关的所述第二存储器地址提供给所述地址计数器。

20. 权利要求 19 的程序结构, 其特征在于还包括用于所述程序计数器的第二增量信号, 用以在所述第一周期期间将所述第一存储器地址

址加 1, 以便改变所述微控制器程序指令。

21. 一种集成电路块, 它包括:

自适应差分脉码调制 (ADPCM) 解码器部分, 它接收 ADPCM 编码的源文件数据用于解码并输出线性脉码调制 (PCM) 数据;

5 只读存储器 (ROM) 部分, 它存储程序指令和 ADPCM 编码的源文件数据; 和

微控制器部分, 它具有由包含第一段和第二段的时钟信号驱动的时分复用的存储器寻址结构, 其中在所述第一段期间, 用第一地址对所述 ROM 部分寻址来读取 ADPCM 编码的源文件数据, 由所述微控
10 制器部分将所述读取的数据提供给所述 ADPCM 解码器用于解码, 而在所述第二段期间, 用第二地址对所述 ROM 部分寻址来读取程序指令, 由所述微控制器执行。

22. 权利要求 21 的集成电路块, 其特征在于: 所述 ADPCM 解码器由所述读取的 ADPCM 编码的源文件数据来合成所述线性 PCM 数
15 据, 而不用所述微控制器部分的任何处理帮助。

23. 权利要求 21 的集成电路块, 其特征在于: 在微控制器部分执行程序指令的所述第二段期间, 所述 ADPCM 解码器部分将所述第一段读取的 ADPCM 编码的源文件数据解码。

24. 权利要求 21 的集成电路块, 其特征在于所述微控制器部分的结构包括:
20

地址计数器, 它提供用于读取 ADPCM 编码的源文件数据的所述第一地址;

程序计数器, 它提供用于读取微控制器程序指令的所述第二地址; 和

25 复用器, 它连接到所述程序计数器和所述地址计数器并对所述时钟信号起反应而在所述地址计数器和所述程序计数器所提供的存储器地址之间进行选择。

25. 权利要求 24 的集成电路块, 其特征在于所述微控制器的结构

还包括:

寄存器, 用于存储所述 ADPCM 编码的源文件数据的结束存储器地址; 和

- 5 比较器, 用于将所述地址计数器提供的第一地址与所述寄存器的结束存储器地址进行比较并在所述比较的地址吻合时输出表示所述 ADPCM 编码的源文件数据读取结束的信号。

26. 权利要求 25 的集成电路块, 其特征在于所述微控制器部分的结构还包括:

- 10 用于所述地址计数器的第一增量信号, 用以在所述时钟信号的第一段期间将所述第一地址加 1, 以便连续存取所述 ADPCM 编码的源文件数据的所有地址。

27. 权利要求 26 的集成电路块, 其特征在于所述微控制器部分的结构还包括:

- 15 用于所述程序计数器的第二增量信号, 用以在所述时钟信号的第二段期间将所述第二存储器地址加 1, 以便改变所述微控制器程序指令。

自适应差分脉码调制解码器装置的只读存储器寻址方法

5 本发明涉及对自适应差分脉码调制 (ADPCM) 编码的信号的了解, 具体地说, 涉及用于对存储 ADPCM 编码的源文件和微控制器操作指令两者的只读存储器 (ROM) 进行寻址的时分复用方法。

 在先有技术中, 众所周知需要语音合成器和/或音频发生器的应用。这些应用例子包括高档智力玩具、报警系统、语音发生器、和
10 声响效应发生器。这些应用中的共同点是都以脉码调制 (PCM) 格式在只读存储器 (ROM) 中存储语音数据 (即语音/声音/声调源文件)。然后, 由 ROM 中编址的源文件数据合成包括语音、声音、或音调的可听信息并输出供收听。

 然而所关心的是, 即使 PCM 源文件产生高质量输出合成声音,
15 但这些源文件 (存储时) 会占据不能接受的大量 ROM 空间。特别关心的是, 在产品应用中, 可用 ROM 空间的总量是非常有限的 (也许是因为集成电路尺寸限制或价格考虑)。在这些情况中, 对于给定的固定 ROM 空间, 较大的合成源文件极大地限制了所能产生的可听语音数据的长度。

20 一般还公认, 在某些产品应用中, 可能不需要象 PCM 源文件产生的那样较高质量的输出合成声音。并且, 这些应用可能需要产生较长的可听语音数据输出信号, 后者是不能用保存在有限 ROM 空间中的 PCM 存储源文件得到的。针对这两种关心, 先有技术提倡代之以用自适应差分脉码调制 (ADPCM) 格式对 PCM 源文件进行编码。所
25 述格式有利地使用传统 PCM 文件所需要的 ROM 存储空间的几乎一半来保存源文件。这种存储空间的节省是以牺牲某种程度的可听质量作为代价的, 但与保存在相同容量的 ROM 空间中的 PCM 数据可能产生的声音输出信号相比, 这有利地使得用户可以产生长得多的合成声

音输出信号。

参考图 1, 图 1 示出传统的基于软件的 ADPCM 解码器的方框图。通常在微控制器单元 (MCU)、微处理器 (uP)、或诸如特定用途集成电路 (ASIC) 的其它智能处理装置中用所述处理装置执行的软件指令实现的 ADPCM 解码算法来实现所述解码器。按照一种众所周知的算法 (如交互式多媒体协会 (IMA-Interactive Multimedia Association) 建议的), $C(n)$ 表示从 ROM 存储器 (未示出) 读取的 ADPCM 压缩数据 (即源文件)。自适应地对压缩的数据执行去量化而产生数据 $Dq(n)$ 。将去量化的压缩数据 $Dq(n)$ 与从以前的样值得到的压缩数据 ($C(n)$) 的预测值 $Xp(n-1)$ 相加来产生输出解码数据 $Xp(n)$ 。在这种反馈配置中, 数据 $Xp(n-1)$ 表示来自以前样值的压缩数据 ($C(n)$) 的预测值, 并由预测器从加法器输出的预测值 $Xp(n)$ 来产生。

人们认识到这种基于软件的 ADPCM 解码装置有许多不足。第一, 使用软件实现的 ADPCM 算法, 处理装置必须在数据的一个样值 (n) 期间执行许多加、移位和比较指令, 因此装置的操作可能变慢。第二, 占据了大量 ROM 空间来存储 ADPCM 解码算法 (即使编码的 ADPCM 源文件可能比相应的 PCM 文件占据更少的空间)。这可能抵消了许多通过将 PCM 转换到编码的 ADPCM 源文件所腾出的 ROM 空间。第三, 处理单元通常不能一次执行两种操作, 因此在对给定的源文件进行 ADPCM 解码处理时不能中断来执行另一种操作。

所需要的是具有执行速度快的 ADPCM 解码器系统, 它能利用基于节省 ROM 的 ADPCM 格式而不必再来存储解码算法。另外, 如果对检索的源文件进行解码的处理可被中断而使处理器处理其它任务的话, 这将是一个优点。

本发明包括微控制器, 它连接在基于硬件的自适应差分脉码调制 (ADPCM) 解码器和存储器之间, 后者存储控制微控制器操作的程序指令与 ADPCM 编码源文件数据这两者。所述微控制器执行时分复用存储器寻址。在解码器周期中, 从所述存储器读取 ADPCM 编码的

源文件数据并将所述数据提供给 ADPCM 解码器用于处理。在指令周期，在基于硬件的 ADPCM 解码器继续处理以前读取的 ADPCM 编码的源文件数据的同时，从所述存储中读取程序指令并由微控制器来执行所述指令。上述两种周期连续地重复，以便读取 ADPCM 编码的源文件数据用于解码器处理并同时支持混合的微控制器程序指令执行。

更具体地说，集成电路块具有连接在基于硬件的自适应差分脉码调制（ADPCM）解码器和只读存储器（ROM）之间的微控制器。ROM 存储控制微控制器操作的程序指令和 ADPCM 编码的源文件数据两者。微控制器实现了支持时钟信号驱动的时分复用 ROM 寻址的结构，所述时钟信号具有指令段和解码器段，其中，在指令段，程序计数器提供用于检索微控制器程序指令的 ROM 地址，而在解码器段，地址计数器提供用于检索 ADPCM 编码的源文件数据部分的 ROM 地址。时钟信号驱动的复用器在程序计数器和地址计数器所提供的用于 ROM 的地址之间进行选择。将在时钟信号的解码器段中从 ROM 读取的 ADPCM 编码的源文件数据提供给解码器，用于在时钟信号后来的指令段期间处理。这允许对同时发生的 ADPCM 数据解码和微控制器程序指令执行采取某种措施（包括混合处理）。

结合附图参考下文的详细描述，可以更完整地理解本发明的方法和装置，附图中：

图 1（前面所描述的）是传统的基于软件的自适应差分脉码调制（ADPCM）解码器的方框图；

图 2 是包括基于硬件的 ADPCM 解码器的集成电路块的方框图；

图 3 是说明图 2 中集成电路块执行的用于时分复用 ROM 寻址方法的体系结构示意图；和

图 4 是说明所执行的时分复用 ROM 寻址方法的实现的时序图。

参考图 2，它示出了包括基于硬件的 ADPCM 解码器 12 的集成电路块 10 的方框图。集成电路块 10 可以执行需要话音合成器和/或音

频发生器的任何应用。这样的应用的例子包括高档智能玩具、报警系统、语音发生器、和声响效应发生器。基于硬件的 ADPCM 解码器 12 连接到微控制器单元 (MCU) 14。在这种配置中, ADPCM 解码器 12 适合作为独立地执行某种 ADPCM 解码/合成算法的硬件功能部件。本文
5 中的独立执行是指解码器 12 的操作, 其中微控制器 14 不执行或不帮助执行 ADPCM 解码算法。相反, 解码操作本身完全在基于硬件的解码器 10 中完成。在许多可得到的集成电路块产品中可以找到这种硬件实现的 ADPCM 解码器 12, 包括诸如 STMicroelectronics、Holtek、Winbond、Sonic 等公司生产的 ADPCM 解码器/合成器。这些
10 基于硬件的解码器具有本领域技术人员众所周知的配置和解码操作。

微控制器单元 14 确定 (assert) 启动信号 16 来启动 ADPCM 解码器 12 的操作并进一步把从只读存储器 (ROM) 18 读取的未处理的 (即 ADPCM 编码的) 的源文件数据通过数据总线 20 馈送到解码器 12。
15 解码器 12 还接收时钟信号 (ck_sac) 22 以协助定时解码器的运行, 其中解码器 12 将接收的源文件解码并通过解码器 12 的输出总线 (未明确示出) 把解码的源文件数据 (例如以线性 PCM 数据格式) 输出。微控制器单元 14 同样地接收时钟信号 (clk_mcu) 24 以协助定时控制器的运行, 其中时钟信号 24 的频率和/或段可以与解码器的时钟
20 信号 22 的频率和段不同。

ROM 18 存储与微控制器单元 14 的操作有关的用户程序数据和 ADPCM 编码的源文件数据 (最好一起存储在掩模 ROM 结构中)。在此应该指出: 用户程序数据包括微控制器单元 14 操作的指令, 后者通常以操作码加任何必要的操作数的格式出现。微控制器单元 14 可以
25 在 ROM 18 中确定选择信号 (rom_cs) 26 来存取存储器。在那种方式时, 微控制器单元 14 通过地址总线 28 确定存储器单元, 并经数据总线 30 从寻址存储器单元检索请求的存储数据 (它也可以或者包括用户程序数据或者包括 ADPCM 编码的源文件数据)。

按照本发明，微控制器单元 14 执行时分复用 ROM 寻址方法。或者从处理器指令地址部件 40 或者从 ADPCM 源文件数据地址部件 42 得到微控制器单元 14 通过总线 28 应用于 ROM 的地址。复用器 (MUX) 44 有选择地对部件 40 和 42 中的哪一个用来提供 ROM 地址进行选择，
5 更具体地说，根据时钟信号 (ck_6k) 46 并利用时钟信号 (ck_6k) 46 指定的频率而在处理器指令地址部件 40 提供的地址和 ADPCM 源文件数据地址部件 42 提供的地址之间来回变换，其中时钟信号 46 的频率和/或段可以与时钟信号 22 和/或 24 的不同。具体地说，在时钟信号 46 是逻辑高的指令周期中，处理器指令地址部件 40 提供地址
10 并且从 ROM 18 (通过总线 30) 检索与微控制器单元操作有关的存储的用户程序数据。然后，微控制器单元 14 执行所述程序数据。另一方面，当解码器周期时钟信号 46 是逻辑低时，ADPCM 源文件数据地址部件 42 提供地址并且从 ROM 18 (通过总线 30) 检索 ADPCM 编码的源文件数据的存储块。然后，微控制器单元 14 将所述 ADPCM 源文件数据馈送到 ADPCM 解码器用于解码。在考虑到同时的 (即混合的) 微控制器单元程序指令执行的某些性质的同时，只要需要，就连续地重复时分复用寻址方法两个周期，以便可以读取所有的 ADPCM 源文件数据并将这些数据提供给解码器用于解码。
15

现参考图 3，图 3 示出了说明图 2 中集成电路块执行的时分复用 ROM 寻址方法的结构图。在微控制器单元 14 中执行所述方法。部件
20 SAC 是指包括 ADPCM 源文件数据地址部件 42 的地址计数器，它指定微控制器单元 14 通过总线 28 应用于 ROM 的地址，以便检索 ADPCM 编码的源文件数据。相反地，程序计数器部件和/或指令寄存器部件包括处理器指令地址部件 40，后者指定微控制器单元 14 通过总线 28
25 应用于 ROM 的地址，以便检索用户程序数据。指令寄存器向 SAC 提供地址，并且对装入 SAC (load_sac) 信号起反应而将所述地址装载到 SAC 中。如上所述，对时钟信号 (ck_6k) 46 进行反应而工作的复用器 44 对微控制器单元 14 通过地址总线 28 实际使用的指定地址进

行选择。

部件 SAE 是指存储 ROM 地址、包括定位的 ADPCM 源文件数据的结束地址的寄存器。所述地址是在开始地址被装载到 SAC 中的同时从指令寄存器得到的地址。SAC 对微控制器单元施加的加 1 (inc_sac) 信号起反应而将其寄存器值加 1 (即将最初装载的地址加 1)。微控制器单元每次需要检索存储的 ADPCM 源文件数据的下一部分时施加所述信号。部件比较器执行比较操作, 以便确定用于源文件数据地址的当前寄存器值 (在加 1 操作后从 SAC 输出的) 是否与源文件数据的结束地址 (存储在 SAE 中) 相匹配。当这种比较操作产生“是”结果时 (即当地址匹配时), 比较器部件输出播放结束信号 (play_end)。所述信号向微控制器单元 14 表明已从 ROM 检索到整个源文件 (即所有部分) 并将其提供给解码器。

现又参考图 4, 图 4 示出了说明由图 2 中集成电路块执行的时分复用 ROM 寻址方法的图 3 体系结构实现的时序图。在时段 tp1 期间, 时钟信号 (ck_6k) 46 是逻辑高 (指令段或周期), 表示处理器指令地址部件 40 正在提供与存储用户数据程序数据有关的 ROM 地址。然而在时段 tp2 期间, 时钟信号 (ck_6k) 46 是逻辑低 (解码器段或周期), 表示 ADPCM 源文件数据地址部件 42 正在提供与 ADPCM 编码的源文件数据的存储块有关的 ROM 地址。这是时钟切换处理过程, 从时段 tp3 到 t_{pn} 重复。选择信号 (rom_cs) 26 对把所提供的 ROM 地址加到 ROM 本身进行控制。

具体地说, 转向时段 tp1, 微控制器单元 14 执行播放 ADPCM 编码的源文件数据的某个存储块的指令。对所述指令起反应, 开始执行时分复用 ROM 寻址方法。此时, 时钟信号 (ck_6k) 46 是逻辑高, 表示处理器指令地址部件 40 (即程序计数器-PC) 正在提供与用户程序数据有关的 ROM 地址 (rom_add), 其中用户程序数据包括具有下面格式的存储的指令:

PLAY=OP+STARTBLOCK+ENDBLOCK

其中：OP 是播放指令的操作码，STARTBLOCK 是存储第一块源文件数据的 ROM 地址，ENDBLOCK 是存储最后一块源文件数据的 ROM 地址。在时间 t1，从 ROM 的程序计数器指定地址检索处理器指令的 STARTBLOCK 的第一字节并将该字节装载到微控制器单元 14 的指令寄存器中（见 load_irl 信号）。接着在时间 t2，程序计数器加 1（通过信号 inc_pc）并从 ROM 的加 1 的程序计数器地址检索处理器指令的 ENDBLOCK 的第二字节并将该字节装载到指令寄存器中（见 load_ir2 信号）。要指出的是：在时间 t1 和 t2，ROM 选择信号（rom_cs）为高，表示正存取 ROM。在时间 t3，装入 SAC 信号（load_sac）使包括 STARTBLOCK 和 ENDBLOCK 的指令寄存器内容被分别装载到 SAC 和 SAE 中。在时段 tp1 的剩余时间，时钟信号（ck_6k）46 保持在逻辑高，同时处理器指令地址部件 40（即程序计数器）提供微控制器单元 14 操作所需的 ROM 地址。

接着转到时段 tp2，在时间 t4，时钟信号（ck_6k）46 按照时分复用 ROM 寻址方法而变成逻辑低，表示 ADPCM 源文件数据地址部件 42 正在提供与 ADPCM 编码的源文件数据的存储块有关的 ROM 地址。这时所提供的 ROM 地址（rom_add）包括 SAC 指定的当前地址。要指出的是：ROM 选择信号（rom_cs）为高表示允许微控制器单元对 ROM 进行存取，以便检索存储的 ADPCM 编码器源文件数据的一部分。然后，微控制器单元 14 将所述检索的部分提供给解码器用于处理。在时段 tp2 的剩余时间，解码器对所述检索的数据进行处理（即解码）。加 1 的 SAC 信号变成高，表示解码器目前正在对所述检索的 ADPCM 数据进行处理。

在时段 tp3 期间，更具体地说，在时间 t5，时钟信号（ck_6k）46 按照时分复用 ROM 寻址方法而变回到逻辑高，表示处理器指令地址部件 40（即程序计数器）正在提供与用户程序数据有关的 ROM 地址。这里要指出的是：从 ROM 的程序计数器指定地址检索处理器指令字节，并将所述字节装载到微控制器单元 14 的指令寄存器中（见

时间 t6 时的 load_irl 信号)。然后在时段 tp3 的剩余部分期间，对应的指令加 1（整个或部分），并且程序计数器也加 1（见时间 t6 时的 inc_pc 信号）。重要的是要认识到：在所述时段 tp3 期间，解
5 码器继续对时段 tp2 以前检索的 ADPCM 编码的源文件数据部分进行处理。换言之，在时段 tp3 期间，集成电路块同时（即混合）执行两种功能：1）解码器执行 ADPCM 解码操作；和 2）微控制器单元执行用户程序数据指令。

接下来，在时段 tp4 期间，在时间 t7，时钟信号（ck_6k）46 按照时分复用 ROM 寻址方法而变成逻辑低，表示 ADPCM 源文件数据
10 地址部件 42 正在提供与 ADPCM 编码的源文件数据的存储块有关的 ROM 地址（rom_add）。当在时间 t8 对解码器完成以前检索的 ADPCM 数据部分的处理反应而使加 1 的 SAC 信号（inc_sac）变低时，SAC 存储地址值加 1，而这时所提供的 ROM 地址包括现在由 SAC 指定的加 1 的当前地址。要指出的是：ROM 选择信号（rom_cs）为高表示允许
15 微控制器单元对 ROM 进行存取，以便检索位于加 1 的 SAC 地址的存储的 ADPCM 编码器源文件的一部分。然后，微控制器单元 14 将所述检索的部分提供给解码器用于处理。在时段 tp4 的剩余时间，解码器对所述检索的数据进行处理（即解码）。加 1 的 SAC 信号（inc_sac）还变回到高位，表示解码器目前正在对所述检索的 ADPCM 数据进行
20 处理。

然后，在从 ROM 检索存储的 ADPCM 解码器源文件的所有部分并将所述部分提供给解码器处理所需的任何其它必要时段（例如，直到 t_{pn}），在时钟信号（ck_6k）46 的控制下重复上述过程。那时，在时间 t9 时，加 1 的 SAC 信号将使 SAC 增量到与 SAE 存储的 ENDBLOCK
25 地址相吻合的值。然后，比较器部件输出播放结束信号（play_end），时钟信号（ck_6k）46 变回到逻辑高，而时分复用 ROM 寻址方法结束。在优选实施例中，时钟信号（ck_6k）46 保持在逻辑高，直到需要存取 ROM 存储的 ADPCM 编码的源文件数据的下一个指令（象播放指令

01.01.03

那样)被执行, 并且再次利用时分复用 ROM 寻址方法(同时回到 tp1).

尽管在附图中示出了并在详细描述中描述了本发明的方法和装置的优选实施例, 然而应该知道: 本发明不限于所公开的实施例, 而是能够有许多重新配置、修改和替换, 它们都不脱离后附权利要求书提出和定义的本发明的精神.

5

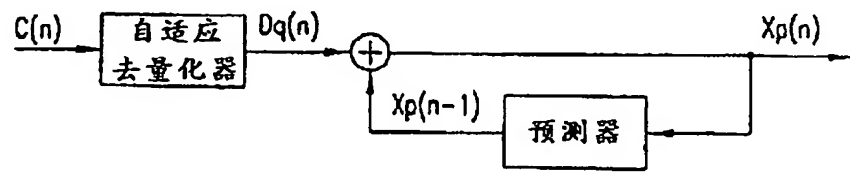


图 1
(现有技术)

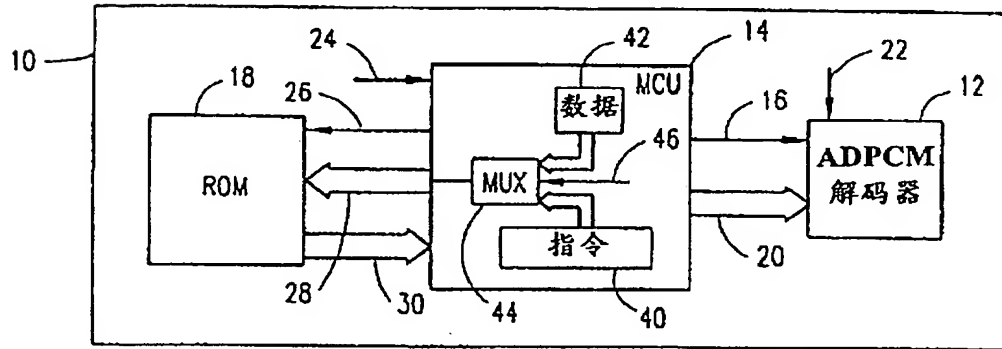


图 2

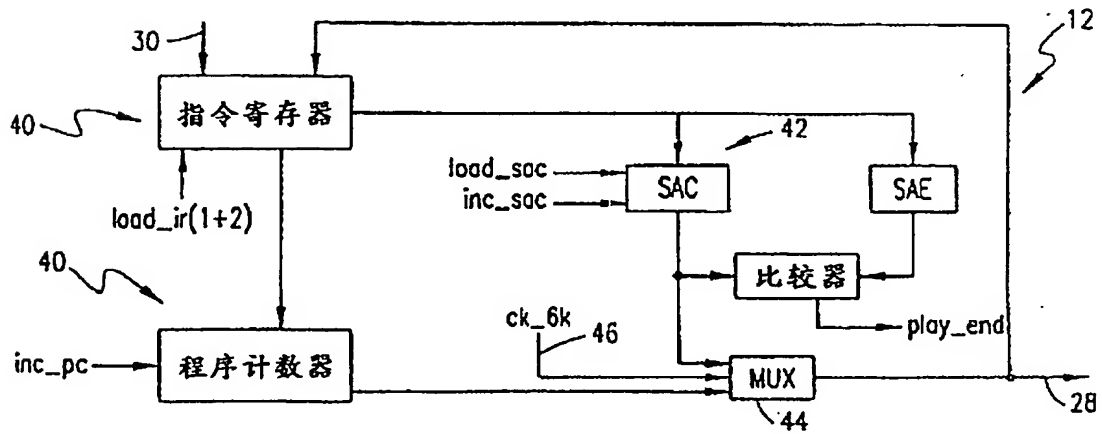
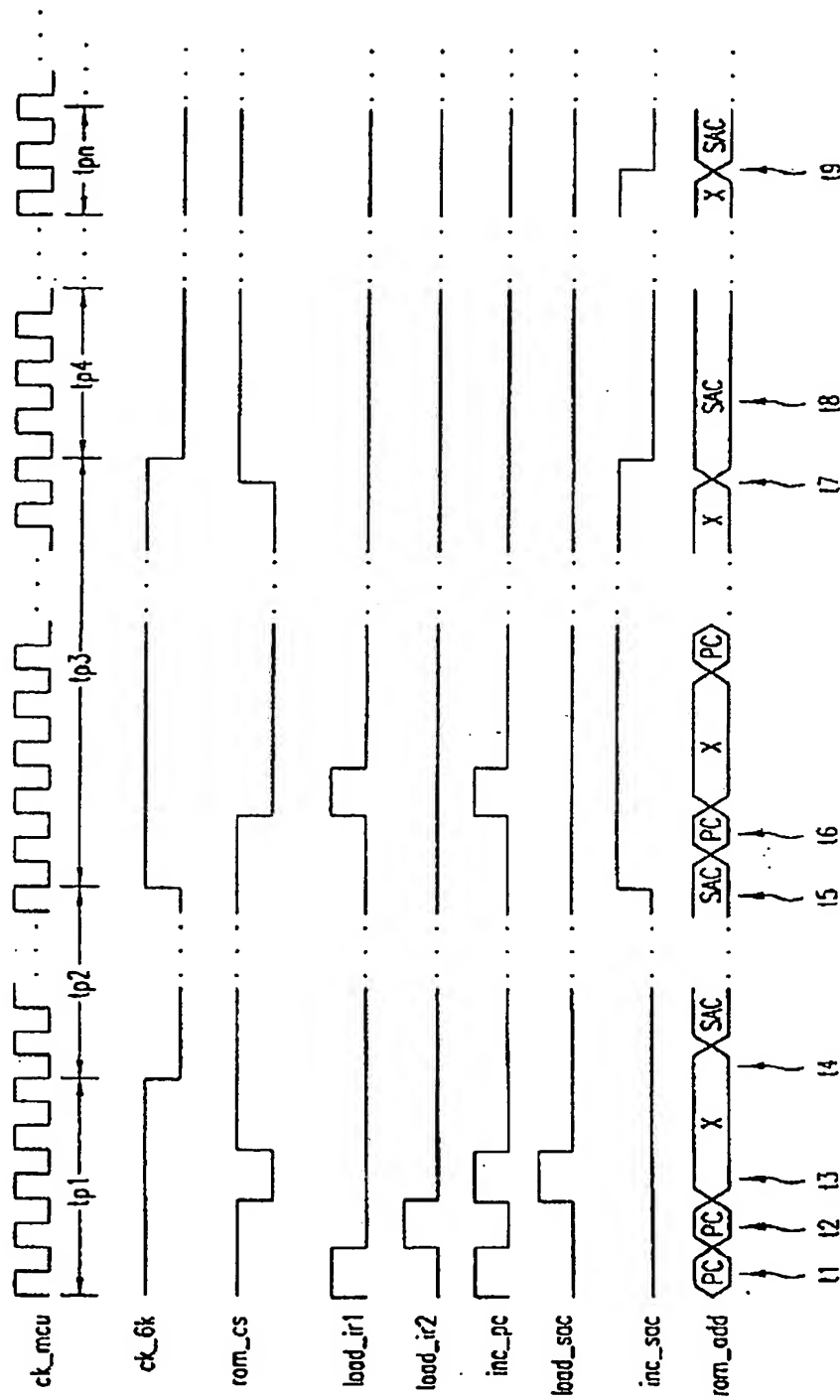


图 3



四

01.01.03

21